



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10215152 A**(43) Date of publication of application: **11.08.98**

(51) Int. Cl.

H03K 3/57**H03H 19/00****H03K 17/16**(21) Application number: **09016884**(71) Applicant: **NEC CORP**(22) Date of filing: **30.01.97**(72) Inventor: **YOSHIDA TOSHIHISA**(54) **DRIVING CIRCUIT FOR SWITCHING ELEMENT**

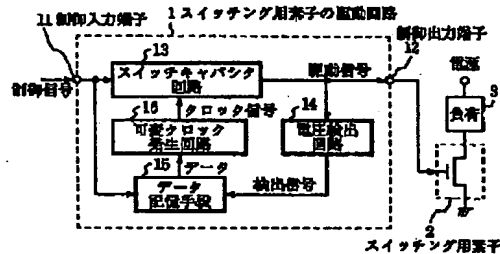
accordance with the characteristics of the switching element 2 and a load 3 and the element 2 can be driven.

(57) Abstract:

COPYRIGHT: (C)1998,JPO

PROBLEM TO BE SOLVED: To arbitrarily set the waveform of a driving signal driving a switching element by feeding back/supplying the clock signal of a frequency which is set in accordance with the detection signal and the control signal of output voltage in a switched capacitor circuit to the switched capacitor circuit.

SOLUTION: A voltage detection circuit 14 compares the voltage of the driving signal being the output of the switched capacitor circuit 13 with reference voltage which is previously set, and outputs the compared result as the detection signal. The detection circuit 14 can arbitrarily set respective sections by providing a reference voltage source and a voltage comparator. A data storage means 15 sets the control signal and the detection signal to be address inputs and can previously set arbitrary data in accordance with respective addresses so as to change the equivalent resistance of the switched capacitor circuit 13. Thus, the rise/fall time constants of the respective sections of the waveforms of the driving signals can be set in



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-215152

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 K 3/57

H 0 3 K 3/57

Z

H 0 3 H 19/00

H 0 3 H 19/00

H 0 3 K 17/16

H 0 3 K 17/16

F

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平9-16884

(22) 出願日

平成9年(1997) 1月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉田 俊久

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

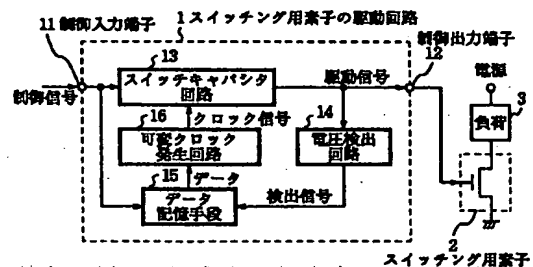
(54) 【発明の名称】 スイッチング用素子の駆動回路

(57) 【要約】

【課題】 スイッチング用素子およびその負荷デバイスの特性ならびに EMI 対策などに対応してスイッチング用素子を駆動する駆動信号の波形を設定するフレキシビリティを向上する。

【解決手段】 クロック信号に同期して制御信号をスイッチング用素子 2 の入力容量に蓄積伝達し駆動信号を出力するスイッチトキャパシタ回路 1 3 と、周波数の分周値を示すデータを入力しこのデータに対応した周波数分周によりクロック信号を発生する可変クロック発生回路 1 6 と、駆動信号の電圧と予め設定された基準電圧とを比較しその比較結果を検出信号として出力する電圧検出回路 1 4 と、制御信号および検出信号をアドレス入力とし各アドレスに対応してデータを予め設定し可変クロック発生回路 1 6 に出力するデータ記憶手段 1 5 と、を備える。

BEST AVAILABLE COPY



【特許請求の範囲】

【請求項1】 スイッチング用素子の入力を制御信号に対応して駆動し且つこの駆動信号の波形が設定可能である、スイッチング用素子の駆動回路において、クロック信号、その逆相信号に同期してそれぞれ導通する2つのアナログスイッチをキャパシタの一端の前後に接続し前記制御信号を前記キャパシタ、前記入力の容量の順に蓄積伝達し前記駆動信号を出力するスイッチトキャパシタ回路と、周波数の分周値を示すデータを入力しこのデータに対応した周波数分周により前記クロック信号を発生する可変クロック発生回路と、前記駆動信号の電圧と予め設定された基準電圧とを比較しその比較結果を検出信号として出力する電圧検出回路と、前記制御信号および前記検出信号をアドレス入力とし各アドレスに対応して前記データを予め設定し前記可変クロック発生回路に出力する記憶手段と、を備えることを特徴とする、スイッチング用素子の駆動回路。

【請求項2】 前記記憶手段が、前記制御信号の変化に同期して大きい分周値のデータを出力し、前記検出信号の変化に同期して小さい分周値のデータを順次出力する、請求項1記載のスイッチング用素子の駆動回路。

【請求項3】 前記電圧検出回路が、前記駆動信号の電圧と予め設定された複数の基準電圧とを比較し、それら各比較結果を前記検出信号として出力する、請求項1または2記載のスイッチング用素子の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング用素子の駆動回路に関し、特に駆動信号波形が設定可能である、スイッチング用素子の駆動回路に関する。

【0002】

【従来の技術】従来、特に高圧あるいは大電流をスイッチングするスイッチング用素子を有するスイッチング回路では、スイッチング開始時の電圧（電流）の急激な変化で発生する電磁界による他機器への影響が問題になっている。そのため、スイッチング用素子を駆動する前段の駆動回路は、スイッチング用素子の特性に合わせて所定の時間内に規定の電圧に変化する駆動電圧を出力する必要がある。しかし、単純なRCフィルタにより出力信号波形のなまりを作っても、所定の時間内に規定の電圧になるよう駆動電圧を変化させる場合には、使える波形の条件（時定数）に制限が多くあり限界があった。

【0003】この駆動電圧（駆動能力）を時間的に変化させる方法の1例として、たとえば、特開平01-167615で示されているように、スイッチング用素子としてMOSトランジスタを用い且つその入力容量を駆動する駆動素子数を変える方法があり、これを従来のスイッチング用素子の駆動回路として説明する。

【0004】図5は、この従来のスイッチング用素子の駆動回路を示すブロック図である。この従来のスイッ

ング用素子の駆動回路1は、端子24により同時動作する数が設定される駆動素子21～23からなり、制御入力端子11に印加された制御信号に対応してスイッチング用素子2の入力容量を駆動する駆動信号を制御出力端子12に出力する。また、スイッチング用素子2は、N型のスイッチング用MOSトランジスタから成り、負荷3の電流をスイッチングする。

【0005】図6は、この従来のスイッチング用素子の駆動回路の動作例を示す波形図であり、制御信号および駆動信号の波形を示している。

【0006】この従来のスイッチング用素子の駆動回路において、駆動素子500～502の動作数が、予めスイッチング用素子2をオン・オフするために必要な駆動条件から求められ、駆動素子数の設定端子24により設定される。設定された駆動素子が、制御入力端子11に印加された制御信号の入力に同期して並列動作し、設定されない駆動素子の出力は、常時、ハインピーダンス状態とされる。

【0007】このとき、同時に動作させる駆動素子21～23の数は、スイッチング用素子2のスイッチ動作条件として、図6の駆動信号の波形に示す必要な立上り時間、立下り時間を満足するように、駆動素子21～23およびスイッチング用素子2のバラツキを考慮して、予め必要数だけ用意され、その後、設定端子24に設定信号を印加して駆動素子の動作数を設定できるようにしていた。

【0008】

【発明が解決しようとする課題】第1の問題は、他の機器への影響が出るEMIの対策、またはスイッチング用素子の駆動条件に合わせるために、駆動電圧の立上りまたは立下りの前半は緩やかに変化させ、後半は急峻に変化させるように伝達特性を連続的に変える場合、駆動素子の数を変えることにより実現する場合は、駆動素子の特性（駆動能力とバラツキなど）を予め調べて所要数分を用意し、素子数を連続的に切り替えなくてはならず、それら切り替えタイミングを決めることが困難であることである。

【0009】第2の問題は、同時に駆動素子がスイッチングするため、各駆動素子の特性が揃っていないと、駆動素子の出力間で貫通電流が流れる可能性があることである。

【0010】第3の問題は、駆動素子の駆動能力単位での設定をするため、駆動素子が決まってしまうと、それ以上の細かな設定ができないため、スイッチング用素子と駆動素子との集積化には向いていないことである。

【0011】従って、本発明の目的は、スイッチング用素子およびその負荷デバイスの特性ならびにEMI対策などに対応してスイッチング用素子を駆動する駆動信号の波形を設定するフレキシビリティを向上することにある。

【0012】

【課題を解決するための手段】そのため、本発明は、スイッチング用素子の入力を制御信号に対応して駆動し且つこの駆動信号の波形が設定可能である、スイッチング用素子の駆動回路において、クロック信号、その逆相信号に同期してそれぞれ導通する2つのアナログスイッチをキャパシタの一端の前後に接続し前記制御信号を前記キャパシタ、前記入力容量の順に蓄積伝達し前記駆動信号を出力するスイッチトキャパシタ回路と、周波数の分周値を示すデータを入力しこのデータに対応した周波数分周により前記クロック信号を発生する可変クロック発生回路と、前記駆動信号の電圧と予め設定された基準電圧とを比較しその比較結果を検出信号として出力する電圧検出回路と、前記制御信号および前記検出信号をアドレス入力とし各アドレスに対応して前記データを予め設定し前記可変クロック発生回路に出力する記憶手段と、を備えている。

【0013】また、前記記憶手段が、前記制御信号の変化に同期して大きい分周値のデータを出力し、前記検出信号の変化に同期して小さい分周値のデータを順次出力している。

【0014】さらに、前記電圧検出回路が、前記駆動信号の電圧と予め設定された複数の基準電圧とを比較し、それら各比較結果を前記検出信号として出力している。

【0015】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は、本発明のスイッチング用素子の駆動回路を示すブロック図である。図1を参照すると、本実施形態のスイッチング用素子の駆動回路1は、クロック信号に同期して制御信号をスイッチング用素子2の入力容量に蓄積伝達し駆動信号を出力するスイッチトキャパシタ回路13と、周波数の分周値を示すデータを入力しこのデータに対応した周波数分周によりクロック信号を発生する可変クロック発生回路16と、スイッチトキャパシタ回路13の出力である駆動信号の電圧と予め設定された基準電圧とを比較しその比較結果を検出信号として出力する電圧検出回路14と、制御信号および検出信号をアドレス入力とし各アドレスに対応してデータを予め設定し可変クロック発生回路16に出力するデータ記憶手段15と、を備え、制御入力端子11に印加された制御信号に対応して、スイッチング用素子2の入力容量を駆動する駆動信号を制御出力端子12に出力する。また、スイッチング用素子2は、N型のスイッチング用MOSトランジスタからなり、負荷3の電流をスイッチングする。

【0016】図2は、このスイッチング用素子の駆動回路1の各ブロック13、14、15、16の詳細構成例を示す回路図である。

【0017】スイッチトキャパシタ回路13は、キャパシタ309と、キャパシタ309の一端の前後に接続さ

れクロック信号、その逆相信号に同期してそれぞれ導通する2つのアナログスイッチ310、311と、インバータ312～314と、を備え、他端が接地されたキャパシタ309、スイッチング用素子2の入力容量の順に制御信号を蓄積伝達し駆動信号を出力する。このとき、制御入力端子11と制御出力端子12との間に等価的な抵抗が形成される。この等価抵抗は、スイッチング用素子2の入力容量を C_i (F)、スイッチトキャパシタ内のキャパシタ容量を C (F)、スイッチトキャパシタ309をアナログスイッチ310、311により交互にスイッチするクロック信号の周波数を f (Hz) とすると、周波数 f が制御信号として伝達する信号の周波数成分に比べて十分高いとき $1/(f \times C)$ (Ω) となる。

【0018】可変クロック発生回路16は、発振回路307と、周波数の分周値を示すデータを入力しこのデータに対応して発振回路307の発振周波数を分周しクロック信号を発生するプログラマブルカウンタ308と、を備える。

【0019】電圧検出回路14は、予め設定された基準電圧 V_{m1} 、 V_{m2} を発生する基準電圧源315、316と、スイッチトキャパシタ回路13の出力である駆動信号の電圧と各基準電圧とを比較しその比較結果を検出信号としてデータ記憶手段15にそれぞれ出力する電圧比較器317、318とを備える。これら基準電圧源および電圧比較器の数は、スイッチトキャパシタ回路13における等価抵抗のプログラミング数に応じて増減される。

【0020】データ記憶手段15は、一般的なメモリLSIなどからなり、制御信号および検出信号をアドレス入力とし、各アドレスに対応してデータを予め設定し可変クロック発生回路16に出力する。

【0021】次に、本実施形態のスイッチング用素子の駆動回路の動作について図面を参照して説明する。図3は、図2のスイッチング用素子の駆動回路の動作を示す波形図である。制御信号、駆動信号、クロック信号、電圧比較器317の出力X、電圧比較器318の出力Yの各波形が示されている。

【0022】スイッチトキャパシタ回路13において、クロック信号がスイッチトキャパシタ309をアナログスイッチ310、311により常時スイッチし、制御入力端子11と制御出力端子12との間に等価抵抗 $1/(f \times C)$ (Ω) が形成されている。したがって、制御入力端子11に印加された制御信号が立上りまたは立下り変化すると、制御出力端子12における駆動信号の電圧は、スイッチング用素子2の入力容量が C_i であるので、常に時定数 $C_i/(f \times C)$ で立上りまたは立下り変化する。

【0023】例えば、制御入力端子11に印加された制御信号が0 (V) から V_H (V) へ立上り変化し、変化後の経過時間を t とすると、制御出力端子12における

駆動信号の電圧は、 $V_H(1 - \exp(-(f \times C \times t) / C_i))$ (V) で立上り変化する。

【0024】電圧比較器317、318において、制御出力端子12における駆動信号の電圧は基準電圧 V_{m1} 、 V_{m2} と比較され、図4に示すように、電圧比較器317、318の出力X、Yは、駆動信号の電圧が V_{m1} (V) になるまでの区間Aでは、ロウレベル、ロウレベルであり、駆動信号の電圧が V_{m1} (V) を超え V_{m2} (V) になるまでの区間Bでは、ハイレベル、ロウレベルとなり、端子12の駆動信号の電圧が V_{m2} を超えた区間Cでは、ハイレベル、ハイレベルになる。これら出力X、Yは、検出信号としてデータ記憶手段15に出力され、これらの条件に対応して、データ記憶手段15が、例えば、区間A：分周値小、区間B：分周値中、区間C：分周値大となるようにデータを変え可変クロック発生回路16に出力し、可変クロック発生回路16は、各データに対応した各クロック信号をスイッチトキャパシタ回路13に出力し、スイッチトキャパシタ回路13は、各クロック信号に対応して等価抵抗を変え、駆動信号の電圧の立上り時定数を変化させる。

【0025】一方、制御入力端子11に印加された制御信号が V_H (V) から0 (V) へ立下り変化したとき、電圧比較器317、318において、制御出力端子12の駆動信号の電圧は基準電圧 V_{m1} 、 V_{m2} と比較され、図4に示すように、電圧比較器317、318の出力X、Yは、駆動信号の電圧が V_{m2} (V) になるまでの区間A-では、ハイレベル、ハイレベルであり、駆動信号の電圧が V_{m2} (V) を超え V_{m2} (V) になるまでの区間B-では、ロウレベル、ハイレベルとなり、端子12の駆動信号の電圧が V_{m2} を超えた区間C-では、ロウレベル、ロウレベルになる。これら出力X、Yは、検出信号としてデータ記憶手段15に出力され、これらの条件に対応して、データ記憶手段15が、例えば、区間A-：分周値大、区間B-：分周値中、区間C-：分周値小となるようにデータを変え可変クロック発生回路16に出力し、可変クロック発生回路16は、各データに対応した各クロック信号をスイッチトキャパシタ回路13に出力し、スイッチトキャパシタ回路13は、各クロック信号に対応して等価抵抗を変え、駆動信号の電圧の立下り時定数を変化させる。

【0026】本実施形態のスイッチング用素子の駆動回路はスイッチング用MOS素子2としてN型MOSトランジスタを駆動し、この駆動信号の電圧がN型MOSトランジスタのスレッシュホールド値近辺の基準電圧 V_{m1} であるとき、N型MOSトランジスタの増幅率が大きく、負荷3の電流のスイッチング波形が最も急峻に変化する。このため、駆動信号の電圧が基準電圧 V_{m1} 以下である区間A、区間A-であるとき、立上りまたは立下りの時定数を大きくする例を示した。

【0027】このように、本実施形態のスイッチング用

素子の駆動回路は、電圧検出回路14において、基準電圧源および電圧比較器を設けることにより各区間を任意に設定することができ、データ記憶手段15において、制御信号および検出信号をアドレス入力とし各アドレスに対応して任意のデータを予め設定することができ、スイッチトキャパシタ回路13の等価抵抗を変化させることができる。これにより、スイッチング用素子2およびその負荷3の特性ならびにEMI対策などに対応して、駆動信号の波形の各区間の立上りまたは立下り時定数を設定し、スイッチング用素子2を駆動できる。

【0028】また、これら立上りまたは立下りの各時定数は、キャパシタ比 C/C_i とクロック周波数 f で決まる。このため、スイッチング用素子2およびその駆動回路を同一のチップに集積化することにより、キャパシタ比 C/C_i の精度は、キャパシタ個々の絶対精度より一桁近く精度が高くなり、各時定数の時間精度はキャパシタの比精度まで向上する。

【0029】

【発明の効果】以上説明したように、本発明によるスイッチング用素子の駆動回路は、制御信号によりスイッチング用素子を駆動するとき、スイッチトキャパシタ回路を介して駆動し、電圧検出回路、データ記憶手段、可変クロック発生回路を介して、スイッチトキャパシタ回路の出力電圧を検出し、その検出信号および制御信号に対応して設定された周波数のクロック信号をスイッチトキャパシタ回路にフィードバック供給することにより、スイッチトキャパシタ回路の等価抵抗を可変設定でき、スイッチング用素子を駆動する駆動信号の波形を任意に設定できる。このため、電圧検出回路、データ記憶手段の設定により、スイッチング用素子およびその負荷デバイスの特性ならびにEMI対策などに対応してスイッチング用素子を駆動する駆動信号の波形を設定するフレキシビリティが向上する効果がある。

【0030】また、この駆動信号の波形を設定する各区間の立上りまたは立下り時定数の精度は、キャパシタ比とクロック周波数で決まるため、スイッチング用素子およびその駆動回路を同一のチップに集積化することにより、個々のキャパシタの絶対精度より一桁近く高く向上する効果がある。

【0031】さらには、一つのスイッチトキャパシタ回路で駆動電圧を発生させるため、従来のように、駆動素子の所要数を考える必要はなく、これら各駆動素子の特性バラツキによる貫通電流は無くなり、低消費電力化および信頼性の向上が図れるなどの効果がある。

【図面の簡単な説明】

【図1】本発明のスイッチング用素子の駆動回路の1実施形態を示すブロック図である。

【図2】図1のスイッチング用素子の駆動回路の詳細構成例を示す回路図である。

【図3】図2のスイッチング用素子の駆動回路の動作例

を示す波形図である。

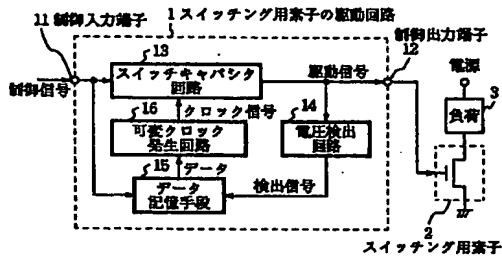
【図4】従来のスイッチング用素子駆動の構成例を示すブロック図である。

【図5】図4のスイッチング用素子駆動の動作例を示す波形図である。

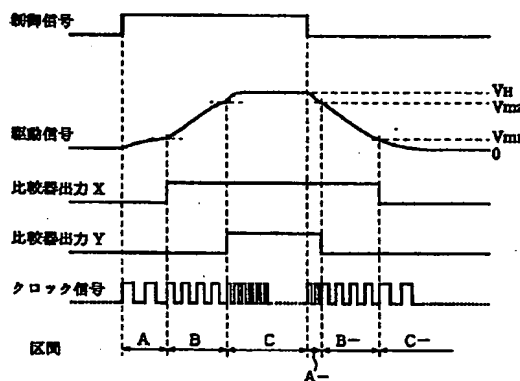
【符号の説明】

- 1 スwitchング用素子の駆動回路
- 2 スwitchング用素子
- 3 スwitchング用素子の負荷
- 11 制御入力端子
- 12 制御出力端子
- 13 スイッチトキャパシタ回路

【図1】

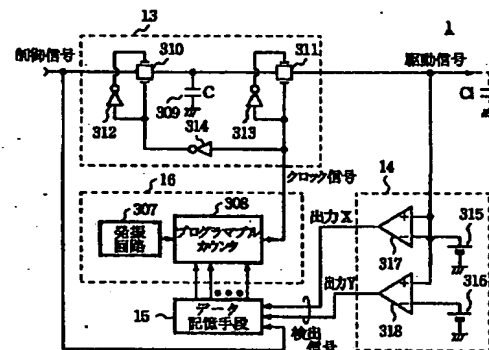


【図3】

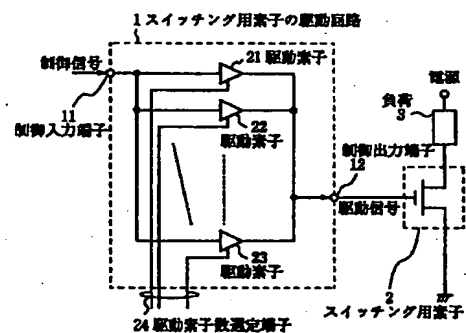


- 14 電圧検出回路
- 15 分周データ記憶手段
- 16 可変クロック発生回路
- 21~23 第1~3の駆動素子
- 24 駆動素子数の設定端子
- 307 発振回路
- 308 プログラマブルカウンタ
- 309 スイッチトキャパシタ
- 310~311 アナログスイッチ
- 312~314 インバータ
- 315~316 基準電圧源
- 317~318 電圧比較器

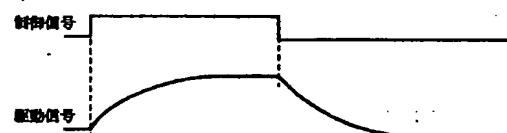
【図2】



【図4】



【図5】



THIS PAGE BLANK (USPTO)